

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-290252

(43) 公開日 平成4年(1992)10月14日

(51) Int.Cl.⁵

H 0 1 L 23/28

識別記号

庁内整理番号

C 8617-4M

E 8617-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号

特願平3-52988

(22) 出願日

平成3年(1991)3月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 斉藤 皎

東京都港区芝五丁目7番1号日本電気株式会社内

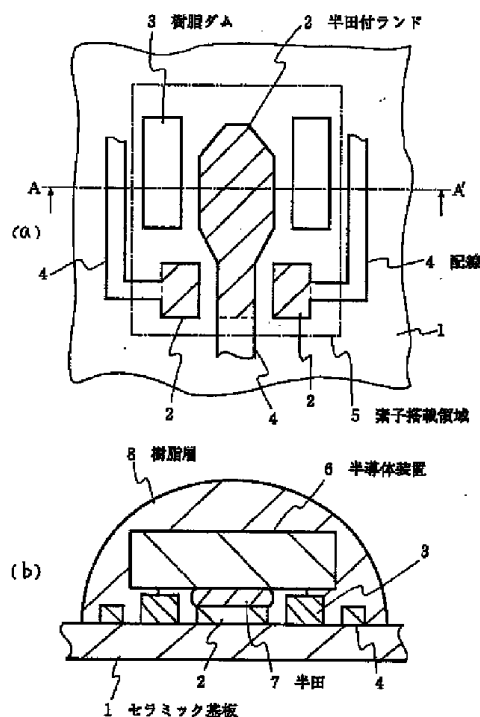
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 混成集積回路

(57) 【要約】

【構成】セラミック基板1上に設けた素子搭載領域5内に半田付けランド2を設け、半田付けランド2に接続して配線4を設け、素子搭載領域5の外周に沿って半田付けランド2の両側に樹脂ダム3を設ける。次に、半田付けランド2の上に半田7を介して半導体装置6を接合し、半導体装置6を含む領域を樹脂層8で被覆する。

【効果】樹脂ダムにより素子の下部に樹脂層が流入するのを防ぎ、素子に与える応力を緩和させる。



【特許請求の範囲】

【請求項1】 絶縁基板上に設けた素子搭載領域内に設けた半田付けランドと、前記素子搭載領域の外周に沿って設けた樹脂ダムと、前記半田付けランド上に設けた半田を介して接合した素子と、前記素子を含む領域を被覆して設けた樹脂層とを有することを特徴とする混成集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は混成集積回路に関する。 10

【0002】

【従来の技術】従来の混成集積回路は、図3(a)、(b)に示すように、セラミック基板1の上に設けた素子搭載領域5内にパターニングして設けた半田付けランド2と半田付けランド2に接続して設けた配線4と、半田付けランドの上に半田7を介して取付けた半導体装置6と、半導体装置6を含んで被覆した樹脂層8とを有して構成される。

【0003】

【発明が解決しようとする課題】この従来の混成集積回路は、他の半導体装置と同様に信頼性向上の要求が強くなっており、耐湿性、耐熱性を向上させるために樹脂封止を行なっている。 20

【0004】ところが、高密度、高機能化の要求に対して多種多様の部品が使用され、部品によってはその材料構造等の面から封止樹脂による応力を受けて特性変動や破壊等を発生させることがあるという問題点がある。

【0005】

【課題を解決するための手段】本発明の混成集積回路は、絶縁基板上に設けた素子搭載領域内に設けた半田付けランドと、前記素子搭載領域の外周に沿って設けた樹脂ダムと、前記半田付けランド上に設けた半田を介して接合した素子と、前記素子を含む領域を被覆して設けた樹脂層とを有する。 30

【0006】

【実施例】次に、本発明について図面を参照して説明する。

【0007】図1(a)、(b)は本発明の第1の実施例を示す切欠平面図及びA-A'線断面図である。

【0008】図1(a)、(b)に示すように、セラミック基板1の上に設けた素子搭載領域5内に導電性ペーストをスクリーン印刷して半田付けランド2及び半田付 40

けランド2に接続した配線4を設け、素子搭載領域5内の半田付けランド2の外周に素子搭載領域5の外縁に沿って絶縁ペーストを印刷して設けた樹脂ダム3を設ける。次に、半田付けランド2上に設けた半田7を介して半導体装置6を接合して搭載し、半導体装置6を含む領域を樹脂層8で被覆する。

【0009】ここで、樹脂ダム3により樹脂層8が半導体装置6の下部に流入するのを防ぎ、半導体装置6に与える応力を緩和させる。

【0010】図2は本発明の第2の実施例を示す切欠平面図である。

【0011】図2に示すように、素子搭載領域5の外周に沿って素子搭載領域5の外側に樹脂ダム5を設けた以外は第1の実施例と同様の構成を有しており、同様の効果が得られる。なお、配線4に接続して抵抗層を設けている。

【0012】

【発明の効果】以上説明したように本発明は、素子搭載領域の表面実装部品との空隙又は搭載部品のはんだ付けランドの隣接部に並行に樹脂ダムを形成することにより、樹脂封止の際の素子の下部に樹脂が流入するのを防止できるので、樹脂応力が緩和され、表面実装部品の特性変動や部品内部のストレスも低減され、部品パッケージのクラックもなくなるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す切欠平面図及びA-A'線断面図である。

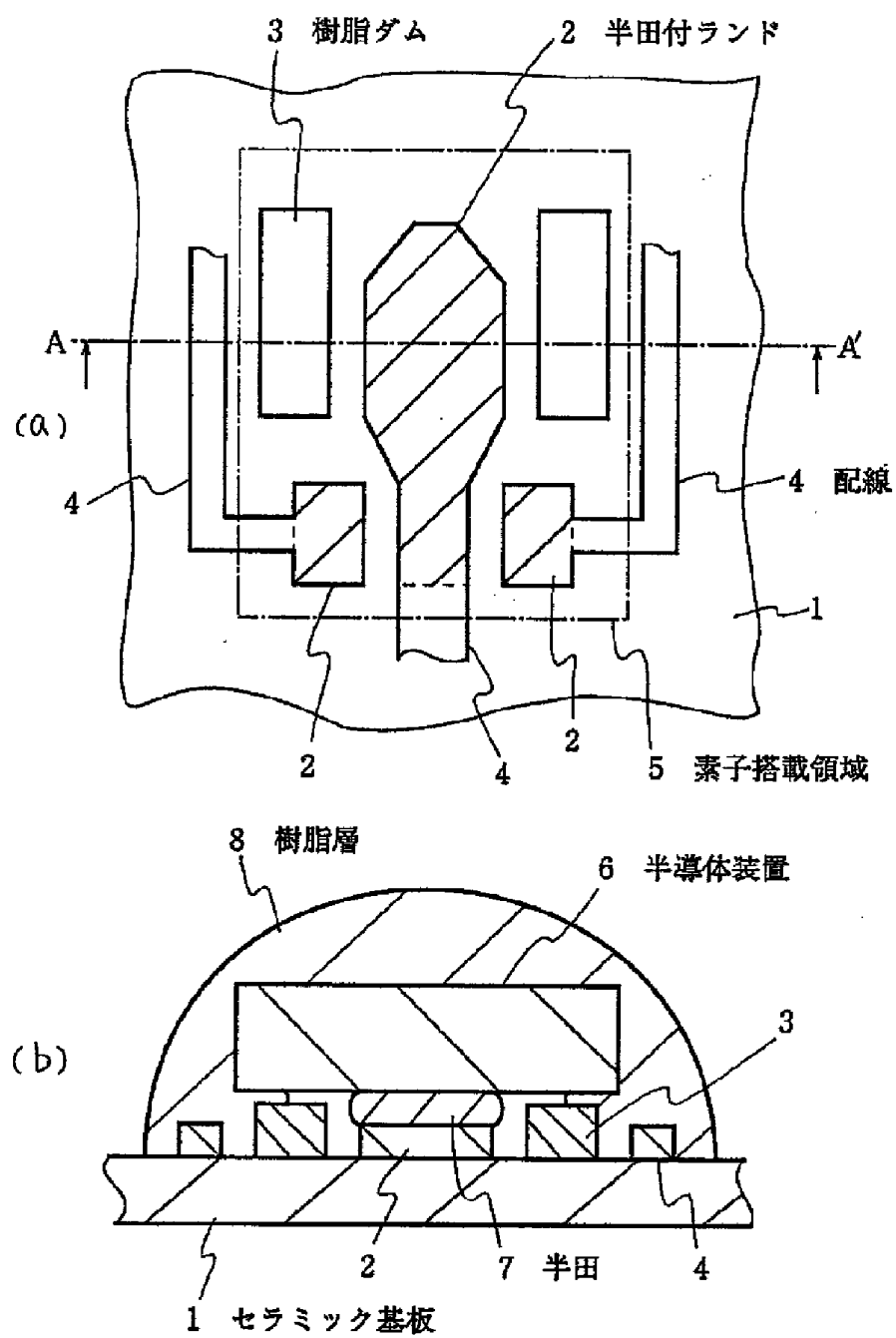
【図2】本発明の第2の実施例を示す切欠平面図である。

【図3】従来の混成集積回路の一例を示す切欠平面図及びB-B'線断面図である。

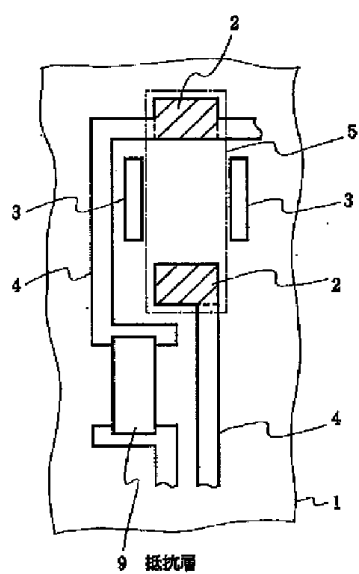
【符号の説明】

- 1 セラミック基板
- 2 半田付けランド
- 3 樹脂ダム
- 4 配線
- 5 素子搭載領域
- 6 半導体装置
- 7 半田
- 8 樹脂層
- 9 抵抗層

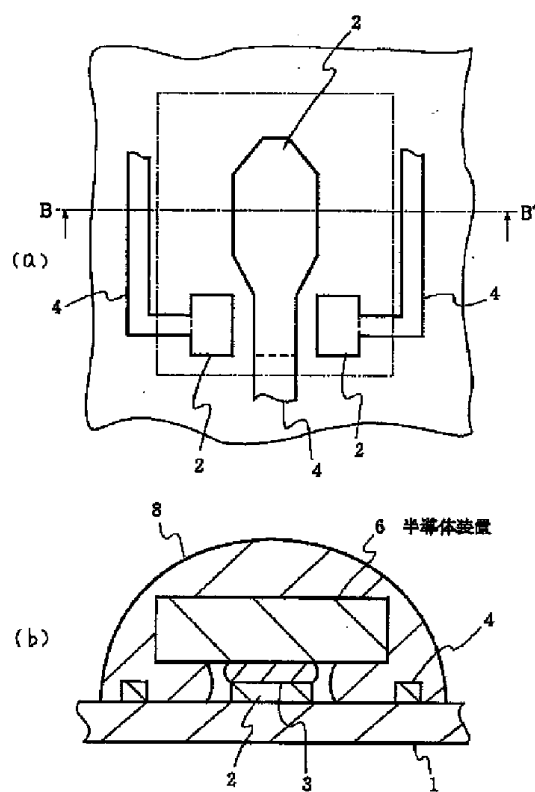
【図1】



【図2】



【図3】



PAT-NO: JP404290252A
DOCUMENT-IDENTIFIER: JP 04290252 A
TITLE: HYBRID INTEGRATED CIRCUIT
PUBN-DATE: October 14, 1992

INVENTOR-INFORMATION:

NAME	COUNTRY
SAITO, KO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP03052988
APPL-DATE: March 19, 1991

INT-CL (IPC): H01L023/28

US-CL-CURRENT: 257/667 , 257/787

ABSTRACT:

PURPOSE: To prevent a resin from flowing into the lower part of an element, to reduce a change in the characteristic of a surface-mounting component and to reduce a stress at the inside of the component by a method wherein resin dams are formed in parallel to gaps to the surface-mounting component in an element mounting region or in parallel to adjacent, parts to a soldering land for the mounting component.

CONSTITUTION: A conductive paste is screen-printed inside an element mounting region 5 on a ceramic board 1; soldering lands 2 and interconnections 4 connected to them are formed. Resin dams 3 formed by printing an insulating paste along the outer edge of the element mounting region 5 are formed at the outer circumference of the soldering lands 2 inside the element mounting region 5. Then, a semiconductor device 6 is bonded and mounted via solder 7 formed on the soldering land 2; a region including the semiconductor device 6 is covered with a resin 8. The resin dams 3 may be formed at the outside of the element mounting region 5 along the outer circumference of the element mounting region 5.

COPYRIGHT: (C)1992,JPO&Japio